

(11)特許出願公開番号

特開平10-105258

(43)公開日 平成10年(1998)4月24日

(51) Int.Cl.⁶

識別記号

FI

G O 5 F 1/56

3 1 0

G O 5 F 1/56

3 1 0 A

H O 1 L 27/04

H O 1 L 27/04

B

21/822

審査請求 未請求 請求項の数3 OL (全 5 頁)

(21)出願番号

特願平8-259477

(22) 出願日

平成8年(1996)9月30日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 安井 彰司

静岡県浜松市中沢町10番1号 ヤマハ株式
会社内

(72)発明者 山田 秀幸

静岡県浜松市中沢町10番1号 ヤマハ株式
会社内

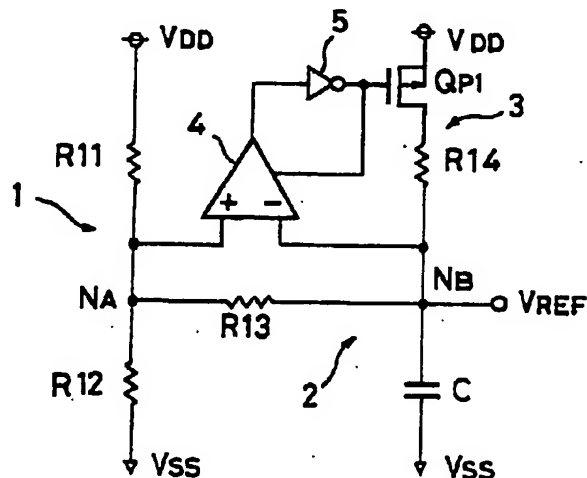
(74)代理人 弁理士 伊丹 勝

(54) 【発明の名称】 基準電圧発生回路

(57) 【要約】

【課題】 低消費電力で安定出力の特性を確保しながら、電源投入時の基準電圧の立上りを高速化した基準電圧発生回路を提供する。

【解決手段】 電源電圧を分圧する分圧回路１と、この分圧回路１の出力電圧を積分して基準電圧出力端子ＮＢに分圧回路１の出力電圧を基準電圧 V_{REF} として取り出すロウパスフィルタ２とを有する基準電圧発生回路において、基準電圧出力端子ＮＢに設けられて電源投入時にオンして基準電圧出力端子ＮＢをロウパスフィルタ２より高速で充電する高速充電回路３と、分圧回路１の出力電圧と基準電圧出力端子ＮＢの出力電圧とを比較してその差が所定レベル以下になったことを検出して高速充電回路３をオフ駆動するコンパレータとを備えた。



【特許請求の範囲】

【請求項1】 電源電圧を分圧する分圧手段と、

この分圧手段の分圧出力端子の電圧を積分して基準電圧出力端子に基準電圧を出力するロウパスフィルタ手段と、

前記基準電圧出力端子に設けられて電源投入時にオンして前記基準電圧出力端子を前記ロウパスフィルタ手段より高速で充電する高速充電手段と、

前記分圧出力端子と基準電圧出力端子の電圧を比較してその差が所定レベル以下になったことを検出して前記高速充電手段をオフ駆動する比較手段とを備えたことを特徴とする基準電圧発生回路。

【請求項2】 前記比較手段は、前記基準電圧出力端子の電圧の立上り時に前記分圧出力端子の電圧とほぼ等しい第1のしきい値を有し、前記基準電圧出力端子の立下がり時に前記分圧出力端子の電圧より僅かに低い第2のしきい値を有するヒステリシス特性を持つコンパレータであることを特徴とする請求項1記載の基準電圧発生回路。

【請求項3】 前記分圧手段及び比較手段を電源から切り離すためのパワーダウン制御手段を更に備えたことを特徴とする請求項1または2に記載の基準電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、集積回路内で使用するに好適な、低消費電力で安定な基準電圧を発生する基準電圧発生回路に関する。

【0002】

【従来の技術】集積回路内で用いられる基準電圧発生回路として、従来、図5に示すものが知られている。この基準電圧発生回路は、電源VDD、VSS間に設けられた抵抗R51とR52の直列回路からなる分圧回路と、この分圧回路の出力電圧を積分して基準電圧出力VREFを得る抵抗R53とコンデンサCとからなるロウパスフィルタにより構成されている。消費電力を小さくするためには、分圧抵抗R51、R52には大きな抵抗値のものが用いられる。またロウパスフィルタは、分圧回路の出力電圧を安定な基準電圧VREFとして取り出すためのもので、抵抗R53とコンデンサCの時定数は大きく設定される。

【0003】

【発明が解決しようとする課題】上述のような基準電圧発生回路では、安定な基準電圧VREFを得るために、ロウパスフィルタの時定数を十分大きくすること、具体的には抵抗R53とコンデンサCに、 $R53=50k\Omega$ 、 $C=22\mu F$ といった大きな値のものをを用いることが必要となる。このため、電源投入時の基準電圧VREFの立上りが遅くなるという問題があった。このコンデンサCは、集積回路外部に配置され、集積回路内部と接続されている。基準電圧VREFの立上りを高速にするためには、ロ

ウパスフィルタの時定数を小さくすればよいが、これは基準電圧VREFの不安定化をもたらす。

【0004】この発明は、上記事情を考慮してなされたもので、低消費電力で安定出力の特性を確保しながら、電源投入時の基準電圧の立上りを高速化した基準電圧発生回路を提供することを目的としている。

【0005】

【課題を解決するための手段】この発明に係る基準電圧発生回路は、電源電圧を分圧する分圧手段と、この分圧手段の分圧出力端子の電圧を積分して基準電圧出力端子に基準電圧を出力するロウパスフィルタ手段と、前記基準電圧出力端子に設けられて電源投入時にオンして前記基準電圧出力端子を前記ロウパスフィルタ手段より高速で充電する高速充電手段と、前記分圧出力端子と基準電圧出力端子の電圧を比較してその差が所定レベル以下になったことを検出して前記高速充電手段をオフ駆動する比較手段とを備えたことを特徴としている。

【0006】この発明において好ましくは、前記比較手段が、前記基準電圧出力端子の電圧の立上り時に前記分圧出力端子の電圧とほぼ等しい第1のしきい値を有し、前記基準電圧出力端子の立下がり時に前記分圧出力端子の電圧より僅かに低い第2のしきい値を有するヒステリシス特性を持つコンパレータであることを特徴とする。この発明はまた、前記分圧手段及び比較手段を電源から切り離すためのパワーダウン制御手段を更に備えたことを特徴とする。

【0007】この発明によると、基準電圧出力端子に設けられた高速充電手段により電源投入時にロウパスフィルタより小さい時定数で基準電圧出力端子を高速充電することにより、基準電圧出力の立上りを高速化することができる。高速充電手段は、比較手段により、分圧出力端子と基準電圧出力端子の電圧とを比較してその差が所定レベル以下になったことを検出してオフ駆動される。従って、立上り特性が改善され、しかもロウパスフィルタの時定数は大きく保つことにより、基準電圧出力の不安定化をもたらすことはない。

【0008】また、比較手段として、基準電圧出力端子の出力電圧の立上り時と立下がり時とで異なる第1、第2のしきい値を有するヒステリシス特性を持つコンパレータを用いると、高速充電手段のオンオフ制御による基準電圧出力端子のリンギングが防止され、高速充電手段を設けたことによる基準電圧の不安定化を防止することができる。また、分圧手段は従来と同様の大きな抵抗値で構成することにより、低消費電力特性を保持することができる。更に、分圧手段と比較手段を必要に応じて電源から切り離すパワーダウン制御手段を設けることにより、一層の低消費電力化が図られる。

【0009】

【発明の実施の形態】以下、図面を参照して、この発明の実施例を説明する。図1は、この発明の一実施例に係

る基準電圧発生回路の要部構成を示す。電源VDD、VSS間に直列接続された抵抗R11、R12からなる分圧回路1と、この分圧回路1の分圧出力端子NAの電圧を積分して、基準電圧出力端子NBに基準電圧VREFを得る抵抗R13とコンデンサCとからなるロウパスフィルタ2とが、この基準電圧発生回路の基本構成である。ロウパスフィルタ2の抵抗R13とコンデンサCは例えば、 $R13=50k\Omega$ 、 $C=22\mu F$ に設定される。

【0010】基準電圧出力端子NBと電源VDDの間には、PMOSトランジスタQP1と抵抗R14を直列接続した高速充電回路3が設けられている。トランジスタQP1のオン抵抗と抵抗R14、及びコンデンサCで決まる時定数は、ロウパスフィルタ2のそれに比べて十分小さく設定される。抵抗R14は、省略することもできる。この高速充電回路3を、電源投入時にオンし、基準電圧出力端子NBが所定のレベルまで立ち上がったときにこの高速充電回路3をオフ駆動するために、コンパレータ4が設けられている。コンパレータ4は、分圧出力端子NAの電圧と基準電圧出力端子NBの電圧とを比較して、これらの差が所定レベルになったことを検出して、その検出出力がインバータ5を介して高速充電回路3のPMOSトランジスタQP1のゲートに送られる。

【0011】この基準電圧発生回路では、電源投入時、コンパレータ4の出力は、“H”であり、高速充電回路3のPMOSトランジスタQP1がオンして、基準電圧出力端子NBは電源VDDに向かって高速に充電される。そして、基準電圧出力端子NBが分圧出力端子NAの電圧レベルに達すると、コンパレータ4の出力が“L”になり、高速充電回路3がオフになる。この実施例の場合、後に詳細に説明するように、コンパレータ4は、インバータ5の出力により帰還制御されて、ヒステリシス特性を持つようになっている。

【0012】図2は、この実施例の基準電圧発生回路の具体構成である。図1と対応する部分には、図1と同一符号を付してある。コンパレータ4は、NMOSトランジスタQN5、QN6からなる能動負荷と、ソースを共通に電流源であるPMOSトランジスタQP6に接続した差動のPMOSトランジスタ対QP7、QP8とを有する差動回路を基本とする。PMOSトランジスタQP7のゲートには、分圧回路1の出力端子NAの電圧が参照電圧として入る。PMOSトランジスタQP8のゲートには、検出すべき基準電圧出力端子NBの出力電圧が抵抗R16を介して供給される。コンパレータ4の出力段は、NMOSトランジスタQN4と電流源PMOSトランジスタQP5からなり、その出力がNMOSトランジスタQN1とPMOSトランジスタQP3からなるインバータ5の入力端に接続されている。

【0013】コンパレータ4の電流源PMOSトランジスタQP5、QP6を駆動するバイアス回路6として、これらのトランジスタQP5、QP6とともにカレントミラー回

路を構成するPMOSトランジスタQP4と抵抗R15が設けられている。このバイアス回路6には、パワーダウン制御のためのスイッチング素子としてNMOSトランジスタQN2が挿入されている。同様のパワーダウン制御の目的で、定常電流が流れる分圧回路1にも電源VDD側にPMOSトランジスタQP2が挿入され、またコンパレータ4の出力段NMOSトランジスタQN4に並列にNMOSトランジスタQN3が設けられている。

【0014】図3は、パワーダウン制御回路7の構成を示している。この制御回路7は、PMOSトランジスタQP12とNMOSトランジスタQN12により構成されて制御信号VCにより駆動される初段CMOSインバータと、更にこのインバータ出力により駆動される、PMOSトランジスタQP11とNMOSトランジスタQN11からなる2段目CMOSインバータにより構成される。初段CMOSインバータの出力VNにより、バイアス回路6のNMOSトランジスタQN2が制御駆動され、2段目CMOSインバータの出力VPにより分圧回路1のPMOSトランジスタQP2及びコンパレータ4の出力段NMOSトランジスタQN3が制御駆動される。

【0015】この実施例のコンパレータ4は、前述のようにヒステリシス特性を持つように構成されている。そのために、能動負荷の一方のNMOSトランジスタQN6に並列にNMOSトランジスタQN7が設けられ、このNMOSトランジスタQN7のゲートがインバータ5の出力により帰還制御されるようになっている。具体的な動作は後述するが、基準電圧出力端子NBの立上り時にはNMOSトランジスタQN7がオフ、立下がり時はオンとなり、能動負荷の基準電流値が切替えられて、異なるしきい値を持つことになる。

【0016】なおこの実施例の場合、図2の各部のNMOSトランジスタQN1～QN7は、ソース端子がVSSに接続され、バルクはソースと別に基板バイアス電源VBBに接続されており、回路に流れる電流とバルクに流れる電流を分離することでノイズ対策を行っている。図3に示すパワーダウン制御回路7についても同様である。

【0017】次に、この様に構成された基準電圧発生回路の動作を、図4を参照しながら説明する。パワーダウン制御信号VCは通常、“L”であり、これにより図2の各部のパワーダウン制御用MOSトランジスタQP2、QN2はオン、そしてQN3はオフとなる。電源が投入されると、分圧回路1の分圧出力端子NAには、抵抗R11、R12による分圧出力電圧VAがほぼ瞬時に得られる。もし高速充電回路3がなければ、基準電圧出力端子NBは、図4に一点鎖線で示すように、ロウパスフィルタ2の時定数で決まる充電カーブを描いて分圧出力電圧VAに近づく。この実施例の場合は、電源投入直後、基準電圧出力端子NBの“L”出力（分圧出力端子NAの分圧出力電圧VAと比較した場合）がコンパレータ4のPMOSトランジスタQP8に入り、コンパレータ4の出力端

5

子NCが“H”、従ってインバータ5の出力端子NDが“L”であって、これにより高速充電回路3のPMOSトランジスタQP1がオンする。これにより、時定数がロウパスフィルタ2に比べて十分小さい高速充電回路3により基準電圧出力端子NBが電源VDDに向かって充電されて、図4に示すように高速に立ち上がる出力電圧VBが得られる。

【0018】また、電源投入直後、インバータ5の“L”出力により、コンパレータ4のNMOSトランジスタQN7がオフに保たれ、このときコンパレータ4は、反転しきい値として第1のしきい値VTH1を持つ。第1のしきい値VTH1は、図4に示すように分圧出力電圧VAと理想的には同じ（ほぼ等しい値）に設定されている。基準電圧出力端子NBの出力電圧VBが第1のしきい値VTH1に達すると、コンパレータ4の出力が反転して、インバータ5の出力端子NDが“H”になり、高速充電回路3のPMOSトランジスタQP1がオフ駆動されて、高速充電は停止する。

【0019】従ってこの実施例によると、高速に分圧出力電圧VAまで立ち上がる基準電圧VREFが得られる。一方、インバータ5の出力端子NDが“H”になると、コンパレータ4のNMOSトランジスタQN7がオン駆動され、コンパレータ4の電流バランスが変化して、反転しきい値は、第1のしきい値VTH1より低い第2のしきい値VTH2になる。第2のしきい値VTH2は、図4に示すように、分圧出力電圧VAより僅かに低い値、VA-βに設定されている。従って、基準電圧VREFが負荷により放電されて低下しても、第2のしきい値VTH2になるまではコンパレータ4の出力は反転せず、高速充電回路3はオフに保たれる。但し、一旦基準電圧VREFが分圧出力電圧VAに達すれば、分圧回路1及びロウパスフィルタ2によって従来と同様の効果も発揮し得るものとなっている。

【0020】この様にコンパレータ4にヒステリシスを持たせることにより、基準電圧出力端子NBのリングングを防止して、安定な基準電圧を得ることが可能になる。この実施例では、高速化のために、高速充電回路3を設けることでロウパスフィルタ2の時定数を小さくする必要がないから、これも基準電圧安定化に寄与する。またこの実施例では、コンパレータ4またはインバータ5の出力を、基準電圧発生回路の出力が所定の基準電圧に達したことを他の回路に伝える検出信号としても用いることができる。

【0021】次に、必要に応じてパワーダウン制御信号VCを“H”にすると、制御電圧VN=“L”，VP=“H”が得られ、これにより分圧回路1はPMOSトラ

6

ンジスタQP2がオフとなって電源VDDから切り離される。またバイアス回路6のNMOSトランジスタQN2がオフ、従ってバイアス回路6とコンパレータ4の電流源PMOSトランジスタQP4、QP5、QP6がオフになって、バイアス回路6とコンパレータ4はやはり電源VDDから切り離される。これらの制御により、各部の定常電流が抑制され、パワーセーブが可能になる。

【0022】また、パワーダウン制御信号VCが“H”のとき、コンパレータ4は、NMOSトランジスタQN3がオンになって出力が短絡され、インバータ5の出力端子NDは“H”となって、高速充電回路3のPMOSトランジスタQP1はオフに保たれる。このパワーダウン制御は、集積回路内でこの基準電圧発生回路の動作を必要としない期間にこの基準電圧発生回路をオフにして、集積回路全体の無駄な消費電力を低減するという制御に用いることができる。

【0023】

【発明の効果】以上述べたようにこの発明によれば、時定数の大きいロウパスフィルタを用いた基準電圧発生回路に高速充電回路を設けて、電源投入時の基準電圧の立ち上りの高速化を図ることができる。高速充電回路は、コンパレータにより、分圧回路の分圧出力端子と基準電圧出力端子の電圧を比較してその差が所定レベル以下になったことを検出してオフ駆動される。従って、立ち上がり特性が改善され、しかもロウパスフィルタの時定数は大きく保つことにより、基準電圧出力の不安定化をもたらすことはない。また、コンパレータとして、二つのしきい値を有するヒステリシス特性を持つものを用いると、高速充電回路のオンオフ制御による基準電圧出力端子のリングングが防止され、高速充電回路を設けたことによる基準電圧の不安定化を防止することができる。

【図面の簡単な説明】

【図1】 この発明の一実施例に係る基準電圧発生回路の要部構成を示す。

【図2】 同実施例の基準電圧発生回路の具体的構成を示す。

【図3】 同実施例の基準電圧発生回路に用いられるパワーダウン制御回路を示す。

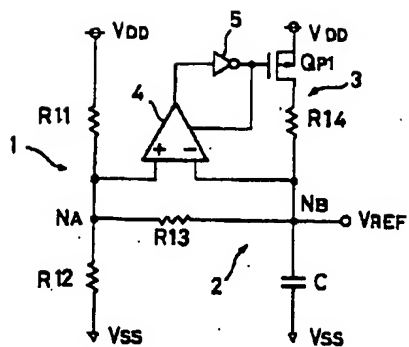
【図4】 同実施例の基準電圧発生回路の動作を説明するための特性図である。

【図5】 従来の基準電圧発生回路を示す。

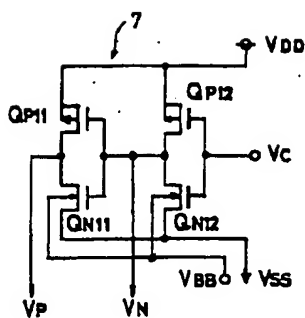
【符号の説明】

1…分圧回路、2…ロウパスフィルタ、3…高速充電回路、4…コンパレータ、5…インバータ、6…バイアス回路、7…パワーダウン制御回路、NA…分圧出力端子、NB…基準電圧出力端子。

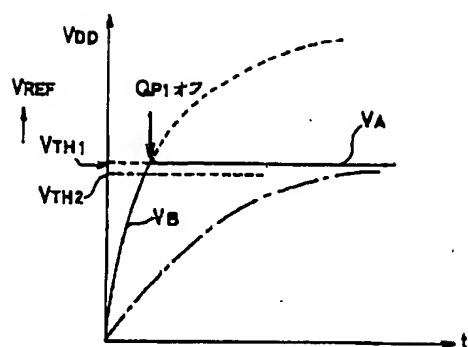
【図1】



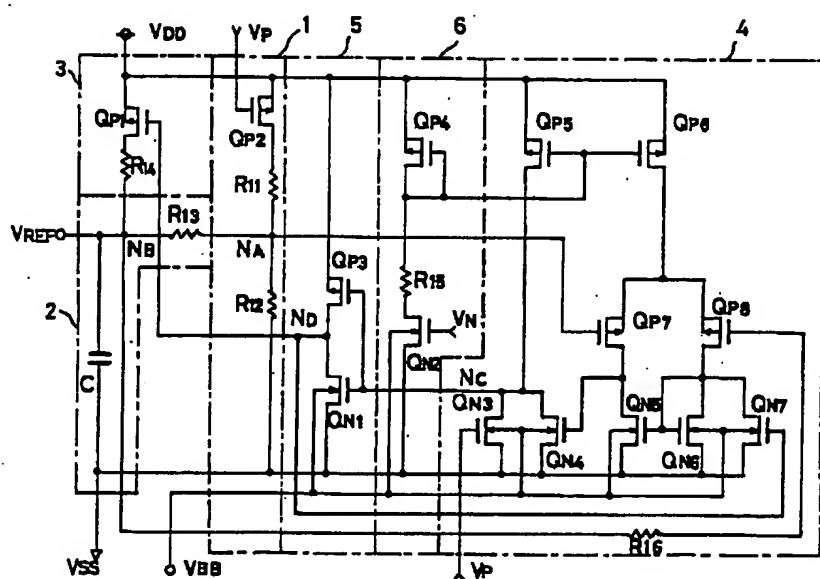
【図3】



【図4】



【図2】



【図5】

